

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-172098

(43)Date of publication of application : 30.06.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 21/322

H01L 27/115

(21)Application number : 07-348230

(71)Applicant : SONY CORP

(22)Date of filing : 19.12.1995

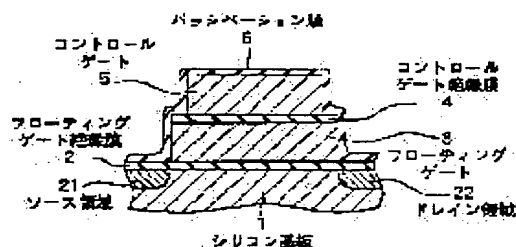
(72)Inventor : KITAHARA YOSHIHISA

(54) NONVOLATILE STORAGE ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively capture movable ions in a control gate insulation film interposed between floating and control gates.

SOLUTION: On a silicon substrate 1, a floating gate insulating film 2, a floating gate 3, a control gate insulation film 4 and a control gate 5 are formed in this order to cover them with a passivation film 6 obtained using PSG (phosphorsilicate glass), BPSG(boron-phosphosilicate glass) or the like each of which has a gettering action. The formed planar areas of the floating gate 3 and control gate insulating film 4 are made larger than the area of the control gate 5 for the passivation film 6 to be in contact with not only the side portions of the control gate insulating film 4 but also a part of its upper surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172098

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		21/322	R
	29/792		27/10	4 3 4
	21/322			
	27/115			

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21) 出願番号 特願平7-348230

(22) 出願日 平成7年(1995)12月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 北原 義久

鹿児島県国分市野口北5番地1号 ソニー

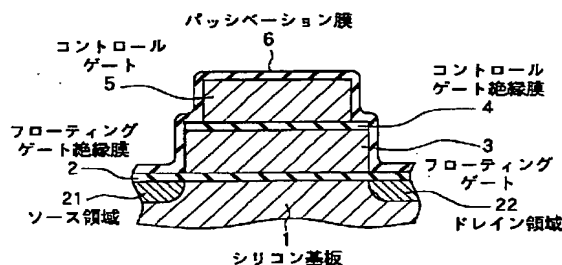
国分株式会社内

(54) 【発明の名称】 不揮発性メモリ素子

(57) 【要約】

【課題】 フローティングゲートとコントロールゲートに挟まれたコントロールゲート絶縁膜中の可動イオンを効果的に捕獲することができるようにする。

【解決手段】 シリコン基板1上には、フローティングゲート絶縁膜2、フローティングゲート3、コントロールゲート絶縁膜4およびコントロールゲート5が順に形成され、これらはゲッタリング作用を有するPSGやBPSG等を用いたバッシベーション膜6によって被覆されている。フローティングゲート3およびコントロールゲート絶縁膜4の平面面積は、コントロールゲート5の平面面積よりも大きく形成され、バッシベーション膜6はコントロールゲート絶縁膜4の側部のみならず、上面の一部にも接触している。



【特許請求の範囲】

【請求項1】 半導体基板上にフローティングゲート絶縁膜を介してフローティングゲートが形成され、フローティングゲート上にコントロールゲート絶縁膜を介してコントロールゲートが形成され、これらフローティングゲート絶縁膜、フローティングゲート、コントロールゲート絶縁膜およびコントロールゲートが、ゲッタリング作用を有するバッシベーション膜によって被覆された不揮発性メモリ素子であって、フローティングゲートおよびコントロールゲート絶縁膜の面積がコントロールゲートの面積よりも大きく形成されていることを特徴とする不揮発性メモリ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フローティングゲートおよびコントロールゲートを有する不揮発性メモリ素子に関する。

【0002】

【従来の技術】 図5は、従来のEPROM（消去可能なプログラマブル・リード・オンリ・メモリ）等の不揮発性メモリ装置におけるメモリ素子の構成の一例を示す断面図である。このメモリ素子では、シリコン基板101上にフローティングゲート絶縁膜102が形成され、このフローティングゲート絶縁膜102上にフローティングゲート103が形成され、このフローティングゲート103上にコントロールゲート絶縁膜104が形成され、このコントロールゲート絶縁膜104上にコントロールゲート105が形成されている。シリコン基板101のフローティングゲート103およびコントロールゲート105を挟んで互いに対向する位置には、それぞれソース領域121およびドレイン領域122が形成されている。これらの要素によって構成されたトランジスタ部は、PSG（リンケイ酸ガラス）やBPSG（ホウ素-リンケイ酸ガラス）等を用いたバッシベーション膜106によって被覆されている。

【0003】 ところで、上述のメモリ素子において、絶縁膜102、104がNa⁺イオン等の可動イオンで汚染された場合、特性変動が発生し問題となる。特に、フローティングゲート103とコントロールゲート105に挟まれたコントロールゲート絶縁膜104が可動イオンで汚染されると、フローティングゲート103中に注入された電子の長期間の保持が困難となり、書き込み不良となってしまう。従来は、このような可動イオンによる絶縁膜102、104の汚染による問題を回避するために、図5に示したように、トランジスタ部をPSGやBPSG等のゲッタリング作用を有するバッシベーション膜106で被覆して、絶縁膜102、104中の可動イオンを捕獲（ゲッタリング）するようにしていた。

【0004】

【発明が解決しようとする課題】 しかしながら、例えば

図5に示したような従来のメモリ素子の構造では、フローティングゲート103とコントロールゲート105に挟まれたコントロールゲート絶縁膜104とバッシベーション膜106とは、コントロールゲート絶縁膜104の側部でのみ接触しているため、両者の接触面積が小さく、特にバッシベーション膜106のカバレッジ（被覆性）が悪い場合には、バッシベーション膜106によってコントロールゲート絶縁膜104中の可動イオンを効果的に捕獲することができなかった。このため、トランジスタ部の信頼性の変動が生じやすくなるという問題点があった。

【0005】 本発明はかかる問題点に鑑みてなされたもので、その課題は、フローティングゲートとコントロールゲートに挟まれたコントロールゲート絶縁膜中の可動イオンを効果的に捕獲することができるようにした不揮発性メモリ素子を提供することにある。

【0006】

【課題を解決するための手段】 本発明の不揮発性メモリ素子は、半導体基板上にフローティングゲート絶縁膜を介してフローティングゲートが形成され、フローティングゲート上にコントロールゲート絶縁膜を介してコントロールゲートが形成され、これらフローティングゲート絶縁膜、フローティングゲート、コントロールゲート絶縁膜およびコントロールゲートが、ゲッタリング作用を有するバッシベーション膜によって被覆された不揮発性メモリ素子であって、フローティングゲートおよびコントロールゲート絶縁膜の面積がコントロールゲートの面積よりも大きく形成されているものである。

【0007】 この不揮発性メモリ素子では、フローティングゲートおよびコントロールゲート絶縁膜の面積がコントロールゲートの面積よりも大きく形成されているので、ゲッタリング作用を有するバッシベーション膜とコントロールゲート絶縁膜との接触面積を広くとれ、両者を確実に接触させることができる。

【0008】

【発明の実施の形態】 以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0009】 図1は本発明の一実施の形態に係る不揮発性メモリ素子の構成を示す断面図である。このメモリ素子では、半導体基板としてシリコン基板1上に、フローティングゲート絶縁膜2が形成され、このフローティングゲート絶縁膜2上にフローティングゲート3が形成され、このフローティングゲート3上にコントロールゲート絶縁膜4が形成され、このコントロールゲート絶縁膜4上にコントロールゲート5が形成されている。シリコン基板1のフローティングゲート3およびコントロールゲート5を挟んで互いに対向する位置には、それぞれソース領域21およびドレイン領域22が形成されている。これらの要素によって構成されたトランジスタ部は、Na⁺イオン等の可動イオンに対するゲッタリング作

用を有するPSGやBPSG等を用いたパッシベーション膜6によって被覆されている。

【0010】本実施の形態では、フローティングゲート3およびコントロールゲート絶縁膜4の平面面積(上面の面積)がコントロールゲート5の平面面積よりも大きく形成されている。すなわち、図1に示した断面では、フローティングゲート3およびコントロールゲート絶縁膜4の幅がコントロールゲート5の幅よりも大きくなっている。従って、パッシベーション膜6は、コントロールゲート絶縁膜4の側部のみならず、上面の一部にも接

触するようになっている。

【0011】次に、図2ないし図4を参照して、本実施の形態に係る不揮発性メモリ素子の製造方法について説明する。

【0012】まず、図2(a)に示すように、シリコン基板1上に、熱酸化によりシリコン酸化膜(以下、酸化膜と記す。)7を形成し、この酸化膜7上にCVD(Chemical Vapor Deposition)法によりポリシリコン層8を形成する。次に、図2(b)に示すように、ポリシリコン層8上に、熱酸化により酸化膜9を形成し、この酸化膜9上にCVD法によりポリシリコン層10を形成する。なお、ポリシリコン層8およびポリシリコン層10は、POC1₃等の拡散源によりP(リン)がドーピングされ、層抵抗が下げられている。次に、図2(c)に示すように、ポリシリコン層10上にフォトリソ膜11を形成する。

【0013】次に、図3(a)に示すように、フォトリソ膜11に対して露光・現像処理を行って、ポリシリコン層10上に、フォトリソ膜11によるレジストマスク12を形成する。次に、図3(b)に示すように、レジストマスク12による窓12aを通して露出するポリシリコン層10を、F系のSF₆等、C1-F系のCH₃F、等またはC1系のC1F₄等のエッチングガスでドライエッチングして、ポリシリコン層10によるコントロールゲート5を形成する。この場合、F系、C1-F系またはC1系のエッチングガスを適切に混合させて酸化膜9でエッチングを停止させ、且つ酸化膜9をほとんどエッチングしない、いわゆるポリシリコンと酸化膜との選択比を高くした条件でドライエッチングがなされる。その後、レジストマスク12を除去する。次に、図3(c)に示すように、酸化膜9およびコントロールゲート5上にフォトリソ膜13を形成する。

【0014】次に、図4(a)に示すように、フォトリソ膜13に対して露光・現像処理を行って、コントロールゲート5上およびコントロールゲート5の周囲における酸化膜9上の一部に、コントロールゲート5よりも幅が広がるように、フォトリソ膜13によるレジストマスク14を形成する。このレジストマスク14は、レジストマスク12を形成した露光時のエネルギーよりも低いエネルギーでフォトリソ膜13を露光し、そ

して現像処理を行うことにより形成する。次に、図4

(b)に示すように、レジストマスク14による窓14aを通して、まず、酸化膜9をF-H系のCHF₃、等またはF-C系のC₂F₆等のエッチングガスでドライエッチングして、酸化膜9によるコントロールゲート絶縁膜4を形成し、更に露出したポリシリコン層8をF系のSF₆等、C1-F系のCH₃F、等またはC1系のC1F₄等のエッチングガスでドライエッチングして、ポリシリコン層8によるフローティングゲート3を形成する。次に、図4(c)に示すように、イオン打ち込みにより、シリコン基板1のフローティングゲート3およびコントロールゲート5を挟んで互に対向する位置にソース領域21およびドレイン領域22を形成する。その後、図4(d)に示すように、レジストマスク14を除去し、フローティングゲート絶縁膜2、フローティングゲート3、コントロールゲート絶縁膜4およびコントロールゲート5上に、CVD法により、PSGやBPSG等を用いたゲッタリング作用を有するパッシベーション膜6を形成し、本実施の形態に係る不揮発性メモリ素子を得る。

【0015】このように、本実施の形態に係る不揮発性メモリ素子によれば、コントロールゲート絶縁膜4の平面面積がコントロールゲート5の平面面積よりも大きく、すなわち、図1に示した断面では、コントロールゲート絶縁膜4の幅がコントロールゲート5の幅よりも大きく形成され、パッシベーション膜6がコントロールゲート絶縁膜4の側部のみならず上面の一部にも接触しているため、図5に示したような従来の構成に比べて、パッシベーション膜6とコントロールゲート絶縁膜4の接触面積を広くとれ、両者を確実に接触させることができる。

【0016】そのため、製造工程中にコントロールゲート絶縁膜4がNa⁺イオン等の可動イオンによって汚染されたとしても、コントロールゲート絶縁膜4のうち、ゲッタリング作用を有するパッシベーション膜6と接触している部分から、可動イオンがパッシベーション膜6へ拡散していき、パッシベーション膜6中でゲッタリングされる。更に、パッシベーション膜6とコントロールゲート絶縁膜4との接触面積が広いので、可動イオンがパッシベーション膜6へ拡散していく速度が速く、コントロールゲート絶縁膜4のうち、パッシベーション膜6と直接接触していないコントロールゲート5の直下の部分に含まれた可動イオンも拡散により効果的にパッシベーション膜6へゲッタリングされていき、コントロールゲート絶縁膜4を可動イオンのほとんど無い状態にすることができる。

【0017】従って、コントロールゲート絶縁膜4を可動イオンの無い状態に維持することができ、書き込み、すなわちフローティングゲート3に対する電子の注入を行っても、長期間の電子の保持が可能となり、不揮発性

メモリ素子の性能の向上およびこの不揮発性メモリ素子を用いた不揮発性メモリ装置の特性の向上を図ることができる。

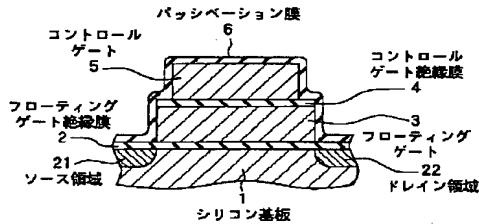
【0018】なお、本発明は上記実施の形態に限定されず、例えば、ゲッタリング作用を有するパッシベーション膜6の材料は、ゲッタリングの対象に応じて適宜に選択することができる。

【0019】

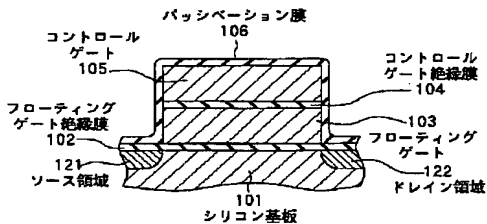
【発明の効果】以上説明したように本発明の不揮発性メモリ素子によれば、フローティングゲートおよびコントロールゲート絶縁膜の面積をコントロールゲートの面積よりも大きく形成したので、ゲッタリング作用を有するパッシベーション膜とコントロールゲート絶縁膜との接触面積を広くとれ、両者を確実に接触させることができ、コントロールゲート絶縁膜中の可動イオンを効果的に捕獲することができるという効果を奏する。

【図面の簡単な説明】

【図1】



【図5】



*【図1】本発明の一実施の形態に係る不揮発性メモリ素子の構成を示す断面図である。

【図2】図1に示した不揮発性メモリ素子の製造方法を示す説明図である。

【図3】図1に示した不揮発性メモリ素子の製造方法を示す説明図である。

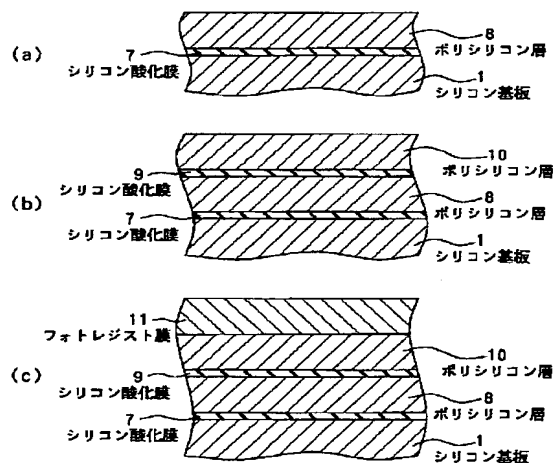
【図4】図1に示した不揮発性メモリ素子の製造方法を示す説明図である。

【図5】従来の不揮発性メモリ素子の構成を示す断面図である。

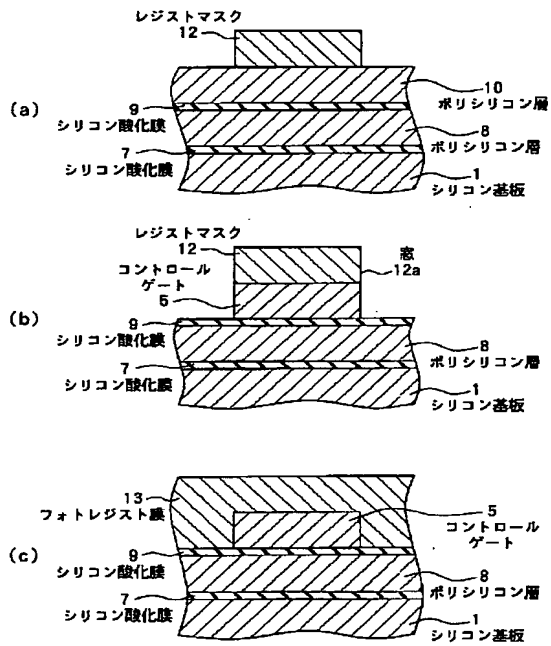
【符号の説明】

- 1 シリコン基板
- 2 フローティングゲート絶縁膜
- 3 フローティングゲート
- 4 コントロールゲート絶縁膜
- 5 コントロールゲート
- 6 パッシベーション膜

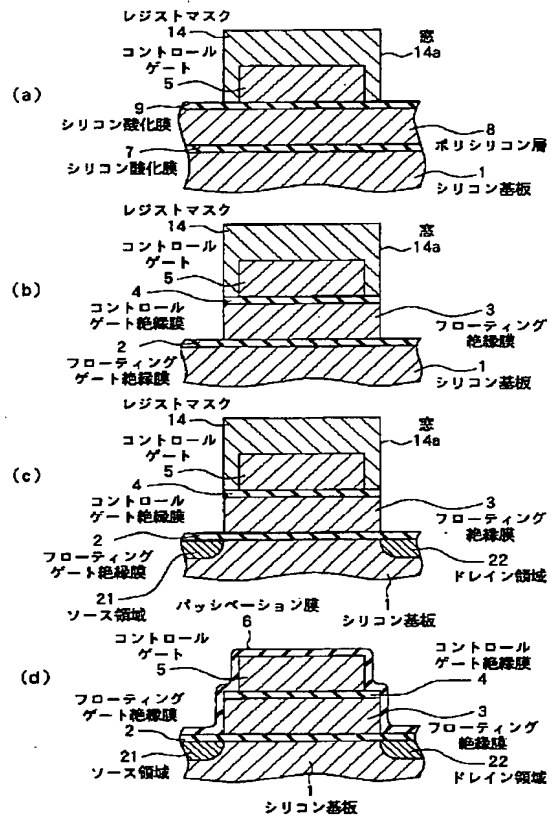
【図2】



【図3】



【図4】



THIS PAGE BLANK (USPTO)